

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09307074 A**(43) Date of publication of application: **28.11.97**

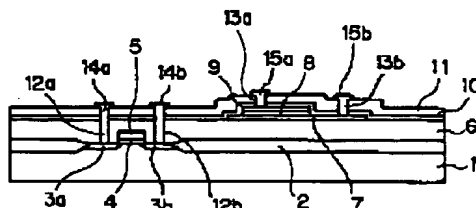
(51) Int. Cl.

H01L 27/105
H01L 27/108
H01L 21/8242(21) Application number: **08118916**(22) Date of filing: **14.05.96**(71) Applicant: **NEC CORP**(72) Inventor: **MATSUKI TAKEO**
KAWAHARA JUN**(54) MEMORY USING DIELECTRIC CAPACITOR
ELEMENT AND ITS MANUFACTURE****(57) Abstract:**

PROBLEM TO BE SOLVED: To make it possible to improve the polarizing characteristics of a ferroelectric capacitor element, to reduce the leakage current of the element and to improve the dielectric breakdown voltage by forming the structure of a protective film covering the element in two layers, and forming the upper layer film as an Si oxide film with TEOS as a material with ozone used as an oxidizer.

SOLUTION: In a capacitor element (ferroelectric capacitor element) using capacitor protective films 10, 11 having a ferroelectric unit 8 sandwiched between electrodes 7 and 9, the films 10, 11 covering in contact with the element are formed in a two-layer structure. The film 10 is formed as a film 10 formed by a sputtering method or a spin-on-glass(SOG) film except a CVD method. An Si oxide film using tetraethyl orthosilicate(TEOS) is formed thereon as the film 11 at the substrate temperature of 350 to 500°C, and then the film 11 is heat treated at a high temperature. Thus, the deterioration of the ferroelectric capacitor film quality due to the reducing reaction is prevented. Further, the increase in the leakage current or the element is suppressed to prevent the decrease in the dielectric withstand voltage.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 3 0 7 0 7 4

(43) 公開日 平成 9 年 (1 9 9 7) 1 1 月 2 8 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/105			H01L 27/10	441
27/108				651
21/8242				

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平 8 - 1 1 8 9 1 6

(22) 出願日 平成 8 年 (1 9 9 6) 5 月 1 4 日

(71) 出願人 0 0 0 0 0 4 2 3 7

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 松木 武雄

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(72) 発明者 川原 潤

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

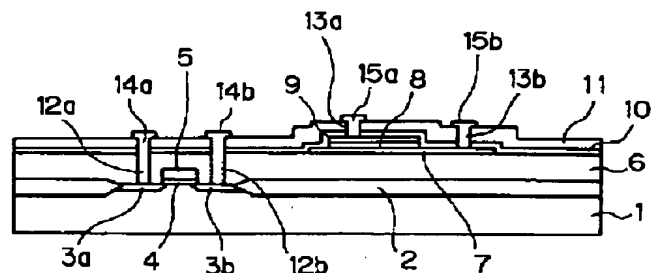
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 誘電体容量素子を用いた記憶装置及び製造方法

(57) 【要約】

【課題】 金属複合酸化物の強誘電体を用いた容量素子を覆うように酸化 S i 膜を形成する場合の膜形成時に発生する水素、膜中に残留する水分による素子特性の劣化を防止する。

【解決手段】 保護膜の構造を 2 層膜とし、下層をスパッタ成膜又は S O G を成膜し、上層に基板温度 3 5 0 ~ 5 0 0 ° C でオゾン酸化の T E O S 膜を成膜し、高温で熱処理し、2 層構造とすることにより C V D 中に反応生成物が強誘電体に直接影響を与えることなく、金属配線層の短絡不良を防止することができ、成膜後の膜中水分を減少させ且つ成膜レートを保持することができ、さらには分極特性の劣化を防ぐことができ、成膜後のさらなる熱処理により漏洩電流特性の改善が図られる。



【特許請求の範囲】

【請求項 1】 強誘電体容量素子を用いて半導体記憶装置を製造する方法において、該強誘電体容量素子を覆う保護膜の構造を 2 層とし、且つその上層膜をオゾンを経過酸化剤とし TEOS（テトラエチルオルソシリケート）を原料として酸化 Si 膜とすることを特徴とする、半導体記憶装置の製造方法。

【請求項 2】 前記強誘電体容量素子を覆う 2 層構成保護膜の上層を成膜する際に、350～500℃の基板温度で成膜することを特徴とする、請求項 1 記載の半導体記憶装置の製造方法。

【請求項 3】 前記強誘電体容量素子を覆う保護絶縁膜形成工程に関し、下層膜としてスパッタ法で酸化 Si 膜を形成することを特徴とする、請求項 2 記載の半導体記憶装置の製造方法。

【請求項 4】 前記強誘電体容量素子を覆う保護絶縁膜形成工程に関し、下層膜に SOG（スピンオンガラス）を 600℃以上のアニールを施して形成することを特徴とする、請求項 2 記載の半導体記憶装置の製造方法。

【請求項 5】 前記強誘電体容量素子を覆う 2 層の膜からなる保護絶縁膜を成膜後、加熱処理することを特徴とする、請求項 1 ないし 4 のいずれかに記載の半導体記憶装置の製造方法。

【請求項 6】 強誘電体容量素子を用いた半導体記憶装置において、該半導体記憶装置が請求項 1 ないし 5 のいずれかに記載の半導体記憶装置の製造方法により得られたものであることを特徴とする、半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体を誘電体容量膜とした容量素子を利用する半導体記憶装置及び該装置の製造方法に関する。

【0002】

【従来の技術】従来技術に関し、下記公報及び文献に基づいて、以下に説明する。

(1) 特開平 7 - 5 0 3 9 1 号公報

(2) 特開平 7 - 2 6 3 6 3 7 号公報

(3) 文献 1: S. Nguyen, D. Dobuzinsky, D. Harmon, R. Gleason, and S. Fridmann: Journal of Electrochemical Society, "Reaction Mechanism of Plasma- and Thermal-Assisted Chemical Vapor Deposition of Tetraethylorthosilicate Oxide" (July, 1990, Vol. 137, No. 7)

(4) 文献 2: Y. Nishimoto, N. Tokumasu, T. Fukuyama, and K. Maeda: Extended Abstract of t

he 19th Conference on Solid State Devices and Materials, "Low Temperature Chemical Vapor Deposition of Dielectric Films using Ozone and Organosilane" (1987)。

【0003】強誘電体を電極に挟んだ容量膜とした容量素子（強誘電体容量）とそれを組み込んだ半導体記憶装置が既に提案されている。そこでは、これまで広く用いられているシリコン半導体集積回路作成プロセス技術を利用し、そこに、強誘電体容量素子を導入している。例えば、信号電荷の流れを制御するスイッチングトランジスタにシリコン酸化膜を介してスタック型の強誘電体容量素子を形成することができる。

【0004】このような、不揮発性メモリ素子構造に関して、従来例を特開平 7 - 5 0 3 9 1 及び特開平 7 - 2 6 3 6 3 7 の開示に基いて説明する。図 8 は、特開平 7 - 5 0 3 9 1 に示される例を説明する図である。Si 基板上に素子分離酸化膜 2 とソース 3、ドレイン 4 及びゲート 5 からなるスイッチングトランジスタを配置しその上層に層間絶縁膜 6 を配置した後、上下電極 7、9 とそれに挟まれた容量絶縁膜 8 からなる容量素子を配する。容量素子を覆う第 1 の保護膜 16 を配し、コンタクト孔（12、13）を形成し、金属配線（14、15）を配置する。その上層に第 2 の保護膜 17 としてリンを添加した酸化 Si 膜 17a と、リンを添加しない酸化 Si 膜 17b を配置する。

【0005】また、強誘電体容量素子を覆う層間絶縁膜の形成方法に関して特開平 7 - 2 6 3 6 3 7 に示される例について図 9 を用いて説明する。まず、強誘電体容量までは、図 8（特開平 7 - 5 0 3 9 1）で説明した方法と同様の構成である。その強誘電体容量の上に PSG 等の第 1 の保護膜 16 を形成し、窒素雰囲気中での熱処理により、保護膜に含まれる水分量を 1 cm³ 当たり 0.5 g を越えない範囲に制御している。この目的は、この保護膜中の水分による強誘電体容量素子の漏洩電流の増大、絶縁耐圧の低下を防止することとされている。次に、トランジスタの拡散層に通じるコンタクト孔、容量素子の下部電極及び上部電極にそれぞれ達するコンタクト孔（12、13）を形成する。引き続き、コンタクト孔を介して、拡散層に接続される電極配線 14、及び容量素子に接続される電極配線 15 を形成する。次に、第 2 の保護膜 17 としてプラズマ CVD 方法で窒化 Si 膜又は窒化酸化 Si 膜を形成する。

【0006】

【発明が解決しようとする課題】強誘電体に接して覆うように配置される保護膜形成及びその存在により強誘電体容量特性、特に分極特性が劣化することである。この保護膜を、酸化 Si 膜とすると、その成膜方法は、ガス

原料による CVD 法、固体原料によるスパッタ法、液体原料による塗布・焼成方法がある。ここで、CVD 法を用いる場合の原料ガスは、その Si 原子に水素や水素化合物が結合したものが多い。例えば、モノシラン (SiH₄) がある。また、CVD 法の中にも、成膜容器から着目すると真空容器中で成膜する場合、常圧下で行う場合がある。そのうえ原料ガス分解方法に着目すると、プラズマで原料ガスを分解する場合、及び熱エネルギーにより分解する場合とがある。そして、これらの CVD 法の中には、成膜中に水素を大量に発生し、その水素が、金属複合酸化膜である強誘電体膜を還元し、膜質を劣化させる。このことは、前記従来例特開平 7 - 2 6 3 7 6 3 に示された水分含有量の少ない酸化 Si 膜を強誘電体容量に接する第 1 の保護膜とする場合でも、CVD 法で成膜するならば、原料ガス分解時に水素が発生する場合には問題となる。

【0007】第 2 の問題は、前記特開平 7 - 2 6 3 6 3 7 の例に示される強誘電体容量素子を覆う保護膜の水分の容量素子の漏れ電流や分極特性に与える影響である。この例では、保護膜の含有水分量が 1 cm³ 当たり 0.5 g 以下に制御されることで漏洩電流を低減し且つ絶縁耐圧を向上させることができるとされている。しかしながら、ここで制限する値である「1 cm³ 当たり 0.5 g」という量は、酸化 Si 中に存在するとゲル状になっており、実用に適さない。

【0008】第 3 の問題は、水分を含有する保護膜を形成したことによる分極特性の劣化である。図 5 (a) に、前述した水分を 5 % 含む試料の分極特性を示す。その残留分極値は、保護膜形成後に比べ、30 % 程度減少している。

【0009】本発明の半導体記憶装置の製造方法は、前記の解決すべき問題で挙げられた、第 1 及び第 3 の問題である強誘電体容量素子の分極特性の改善を目的とする。また、本発明の半導体記憶装置の製造方法は、前記の解決すべき問題で挙げられた、第 2 の問題である強誘電体容量素子の漏洩電流の低減、絶縁耐圧の向上を目的とする。

【0010】

【課題を解決するための手段及び作用】上記の課題・目的は以下に示す本発明によって解決・達成される。即ち本発明は、強誘電体容量素子を用いて半導体記憶装置を製造する方法において、該強誘電体容量素子を覆う保護膜の構造を 2 層とし、且つその上層膜をオゾンで酸化剤とし TEOS (Tetraethylorthosilicate) を原料として酸化 Si 膜とすることを特徴とする、半導体記憶装置の製造方法、並びに該製造方法により得られる半導体記憶装置を開示するものである。

【0011】上記の問題を解決するために本発明は、図 1 に示すように強誘電体容量に接してそれを覆う保護膜を 2 層構造とし、その下層膜を CVD 法以外のスパッタ

法又は SOG (Spin On Glass) 成膜により保護膜を形成し、その上に上層膜として TEOS を原料とする酸化 Si 膜を 350 ~ 500 °C の基板温度で形成し、その後、その保護膜を高温で熱処理することを特徴とする。

【0012】このような構成により、複合金属酸化膜で構成される強誘電体容量膜質の還元反応による劣化を防ぎ、且つ膜に水分が拡散するのを防ぐことにより、強誘電体容量の漏洩電流の増大を抑制し、絶縁耐圧の低下を防止し、さらに、分極特性の劣化を抑制することができる。

【0013】

【発明の実施の形態】以下、本発明の実施態様について図面を参照しながら説明する。図 1 を用いて本発明における強誘電体容量素子を用いた半導体記憶装置の製造方法を説明する。本発明が、従来例と異なる点は、強誘電体容量に接してそれを覆う保護膜を 2 層よりなる膜構造として、下層に CVD 法以外で保護膜を成膜し、次に TEOS を原料として基板温度を 350 ~ 500 °C に保ちながら CVD 法で酸化 Si 膜を成膜し、その後、400 °C 以上の温度で加熱処理することにある。

【0014】

【実施例】以下、図面に基づいて実施例により本発明を詳細に説明するが、本発明がこれらによってなんら限定されるものではない。

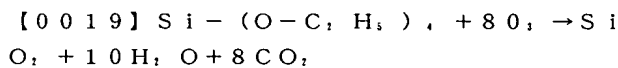
【実施例 1】図 2 に本発明の第 1 の実施例における強誘電体容量の製造方法の例を説明する。まず、Si 等の半導体基板に酸化 Si 等の素子分離絶縁膜 2 を LOCOS 法で形成し、素子領域にソース・ドレイン (3a, b) ・ゲート 5 からなる MOS トランジスタを形成する (図 2 (a) 参照)。

【0015】次に、容量素子と分離するための絶縁膜層 6 を形成した後、容量素子を形成する (図 2 (b) 参照)。まず、下部電極膜 2 を成膜し、次に、強誘電体膜 8 を成膜、レジストマスクにより、イオンミリング法で加工した後、上部電極膜 9 を成膜し、レジストマスクにより、下部電極、強誘電体膜と同様にイオンミリングにて加工した。下部電極としては、Pt (200 nm) / Ti (200 nm) の 2 層膜を用いた。ここで Ti は、その下層の酸化 Si との密着性を確保するためのものである。上部電極は、200 nm の Pt の 1 層膜とした。容量素子の電極は、Pt, Au 等の反応性に乏しい金属を利用することが、例として多くあるが、酸化物で導電性の金属、例えば、Ru 等、又はその導電性の酸化物であってもよい。上下電極で挟まれた強誘電体 8 は、SrBi₂Ta₂O₇ であり、200 nm の膜厚で成膜した。材料は、PZT または Bi₄Ti₃O₁₂ 等でもよい。成膜方法は、有機金属が有機溶媒に含まれている原料溶液を基板上に塗布し、乾燥、焼成を繰り返す方法を採用した。成膜方法はその他の、スパッタ法や CVD 法でも可能である。

【0016】次に、強誘電体容量保護膜の下層膜10として、スパッタ法で酸化Si膜を100nm成膜する(図2(c)参照)。スパッタ法は、真空中でAr又はXe等の不活性ガスプラズマで酸化Siのターゲットから成膜するため、水分を殆ど含まない。また、吸湿性も少ない。ここで、この2層保護膜の下層膜10を窒化Si膜とすることも可能である。

【0017】次に、強誘電体容量保護膜の上層膜11を成膜する(図2(d)参照)。オゾンを経酸化剤としたTEOS原料の酸化Si膜をCVD法で基板温度450℃として常圧で400nm成膜した(TEOS-CVD)。ここで成膜時の圧力は減圧であってもよい。どちらの場合も、成膜時の基板温度を350~500℃に保つことが必要となる。

【0018】オゾンを経酸化剤とするTEOS-CVDは、O₃を経酸化剤とする場合より低温で成膜することが可能となる(図7:文献1)。一方、強誘電体の中には、高温でそれと接する酸化Siと容易に反応するものがある。PZTは、600℃程度の酸素雰囲気中での焼成で強誘電特性を示す結晶構造となるが、その後、酸化Siと接して高温の熱処理を受けると界面でPbが酸化Si膜中に拡散する。よって、強誘電体特性の劣化を防ぐために、強誘電体容量の保護膜成膜温度は低温の方がよい。成膜速度に着目すると、オゾンを経酸化剤にしたTEOS-CVDの場合は、図7(a)及び(b)に示すように成膜速度は、350~400℃の温度範囲で最大となる(文献1及び2)。これは、基板表面でのオゾンとTEOSとの反応がこの温度範囲で最も効率よくなされるからと考えられている。文献1によれば、~400℃では、次式で示す反応が基板温度律速で進行し、400~500℃程度までは、表面拡散律速で進むと考えられている。



この400℃以上の温度領域では、次式で示すように、Si-OH(シラノール)同士が反応しSi-O-Siと水を生成する反応が十分に起こり、膜中の「-OH」基が減少し、膜の緻密化が起こる。

【0020】

$\text{Si}-\text{OH} + \text{Si}-\text{OH} \rightarrow \text{Si}-\text{O}-\text{Si} + \text{H}_2\text{O}$
生成した水は基板温度が高いために、表面から脱離して、膜中の水分は減少する。500℃以上では、オゾンは、解離が進み、TEOSとの反応に寄与しなくなり、成膜速度が著しく損なわれる。つまり、膜中の-OH基や水分を減少させて且つ、成膜速度を保つためには、350~500℃の温度範囲で成膜することが必要となる。

【0021】次に、トランジスタのソース・ドレインに達するコンタクト孔と、強誘電体容量素子の上下電極のそれぞれに達するコンタクト孔を形成する。そして、配

線金属膜を成膜・加工して完成する(図2(e)参照)。

【0022】[実施例2]次いで、第2の実施例について、図3を用いて説明する。強誘電体容量については、実施例1と同様に構成する(図3(a)~(b)参照)。次に、無機スピノングラス(SOG)膜原料を成膜後100nm得られるような条件で塗布成膜し10b、300℃で酸素雰囲気中で熱処理して不要な水分等を除去する。引き続き、酸素雰囲気中600℃で熱処理する。この熱処理温度は、使用している強誘電体の性質によってより高い温度でも可能である。また、SOG原料は、有機系のものも可能である。次いで前記実施例1と同様にTEOS原料の酸化Si膜を400nm成膜する。そして前記実施例1と同様に、コンタクト孔と配線金属を配置して完成する。

【0023】[実施例3]第3の実施例を説明する。まず、強誘電体容量素子の保護膜の上層成膜までは、前記実施例1と同様に作製する。次に、酸素雰囲気中で600℃の熱処理を20分間行う。次に、前記実施例1と同様にコンタクト孔を形成し、金属配線を設ける。

【0024】

【発明の効果】ここで、強誘電体容量保護膜を2層構造にし、上層膜をオゾン酸化のTEOS膜とした実施例1における効果について述べる。まず、保護膜の下層絶縁膜が存在することで、その上にTEOS膜成膜時に生成する水や水素等の反応生成物が強誘電体に直接触れることがない。この下層保護膜により強誘電体の水素還元による膜質劣化が防止される。また、下層膜をスパッタ法で成膜した場合、凹凸形状に対する被覆性が不良なため、スパッタ法で成膜した絶縁膜のみでは、上層の金属配線の短絡不良が起こる可能性がある。ここで、2層構造にして、上層に段差被覆性の良好なCVD膜を形成することによりそのような不良は発生しなくなる。

【0025】次に、オゾン酸化によるTEOS成膜温度を350~500℃に制御することを強誘電体容量素子の保護膜に適用する効果は、実施例1で説明したように、膜中に水分や-OH基の残留が少ないことである。このことで、分極特性の劣化を低減することができる。図4に実施例1におけるスパッタ酸化膜と基板温度300℃及び450℃で成膜したTEOS膜の赤外分光分析(FT-IR)結果を示す。水及び-OH基による吸収が見られる3330cm⁻¹の波数に着目すると、300℃の場合は、透過度が減少している。つまり、450℃で成膜した場合は、300℃で成膜した場合に比べて、水分が少ないことがわかる。また、これらの条件でTEOS膜を成膜した場合の分極特性を図5に示す。450℃で成膜した場合の方が、酸化Si保護膜成膜前に対して300℃で成膜した場合と比べると分極値の減少が少ない。水は、それ自身、分極双極子を持つため、強誘電体の周辺に水が存在すると強誘電体は、その水の分極双

極子のつくる電界に影響されると考えられる。

【0026】ここで、膜応力について考察すると次のようになる。スパッタ法で酸化Si膜を成膜する場合、その膜は、基板から圧縮応力を受ける。強誘電体容量素子形成後、基板上の各層に応力がほぼかかっていないとすると、スパッタ成膜することにより基板ウェハは、その裏方向にその縁が反り返る。この反り量は、ウェハ口径の大口径化に伴って増加する。そして、その反りは、露光工程時の目ズレ等の原因になる。そこで、その

スパッタ成膜された酸化Si膜上に、高い基板温度でオ

(スパッタ酸化Si膜、TEOS成膜によるウェハの反り量の変化)

TEOS 成膜条件 基板温度 (℃)	反り量 (スパッタ酸化 Si膜成膜後) (μm)	反り量 (TEOS膜成膜 後：成膜直後) (μm)	反り量 (TEOS膜成膜 後：大気放置後) (μm)
300	-2.0	+5.0	+1.5
375	-3.5	+11.5	+5.5
450	-5.5	+11.0	+7.0

【0028】

【表2】

(スパッタ酸化Si膜、TEOS成膜によるウェハから膜への応力の変化)

TEOS 成膜条件 基板温度 (℃)	応力 (スパッタ酸化 Si膜成膜後) (dyn/cm^2)	応力 (TEOS膜成膜 後：成膜直後) (dyn/cm^2)	応力 (TEOS膜成膜 後：大気放置後) (dyn/cm^2)
300	-1.49E9	+1.04E9	+0.31E9
375	-2.33E9	+1.74E9	+0.80E9
450	-2.63E9	+1.71E9	+1.09E9

次に、保護膜下層膜にSOGを適用する効果について述べる。SOG膜において、その成膜原料液には、メチル基等の有機基がSiに結合している有機系の溶液、-OH基がSiに結合している無機系の2種類がある。どちらの場合にも、塗布後の温度数百度(℃)の熱処理では、その膜密度は低く、膜内に炭素、-OH基を含む。また、容易に水分を吸収する。そこで、本発明では、一度低温で脱水した後、600℃以上の高温で熱処理して高密度化を図っている。そこでウェハの反りが問題になる。SOGは、成膜過程で体積収縮し、基板から引っ張り応力を受ける。そこで、熱処理雰囲気は酸素で行うことにより、膜中の残留炭素除去、Siの未結合手の終端がなされ、窒素雰囲気での熱処理と比べて、基板ウェハから受ける引っ張り応力を緩和できる。また、SOG膜は、表面平坦化性に優れるため、同時に表面平坦化の効果も得られる。

【0029】次に、2層保護膜成膜後のアニールの効果について述べる。前述のように、基板温度450℃でオゾン酸化のTEOS膜を成膜しても、漏洩電流特性は向

ゾン酸化のTEOS膜を成膜すると、そのTEOS膜は、基板から引っ張り応力を受けるために、ウェハの反り量は緩和する。下記の表1及び表2に、ベアSi上にスパッタで約100nmの酸化Si膜を成膜し、引き続き、オゾン酸化のTEOS膜を成膜した場合の反り量と応力を示す。TEOS膜成膜後に関しては、成膜直後と大気に12日間放置した後と2回測定した。

【0027】

【表1】

上しない。そこで、400℃以上の熱処理を行なうことによりそれは改善される。図6に400℃及び600℃で、それぞれ窒素雰囲気中で熱処理した場合の漏洩電流特性を示す。400℃の熱処理により保護膜形成後に比べ、絶縁耐圧は改善されているが、5V程度で絶縁破壊されており、保護膜成膜前に比べると劣化している。また、600℃の熱処理によっては著しく改善していることがわかる。

【0030】本発明の上記のような構成により、複合金属酸化膜で構成される強誘電体容量膜質の還元反応による劣化が防止され、且つ膜に水分が拡散するのを防ぐことにより、強誘電体容量の漏洩電流の増大が抑制され、絶縁耐圧の低下も防止され、さらに、分極特性の劣化も抑制される等々、顕著な効果が奏される。

【図面の簡単な説明】

【図1】本発明の構成及び実施の形態を示す図。

【図2】本発明の第1実施例(保護膜下層膜：スパッタ酸化Si)の説明図。

【図3】本発明の第2実施例(保護膜下層膜：SOG)

の説明図。

【図 4】本発明の第 1 実施例の効果説明図（赤外分光分析による膜中水分の評価）。

【図 5】本発明の第 1 実施例の効果説明図（分極特性）。

【図 6】本発明の第 1 実施例の効果説明図（漏洩電流特性）。

【図 7】本発明の引用する文献 1 及び文献 2 に関するデータ。

【図 8】従来例 1（特開平 7 - 5 0 3 9 1）の構成説明図。

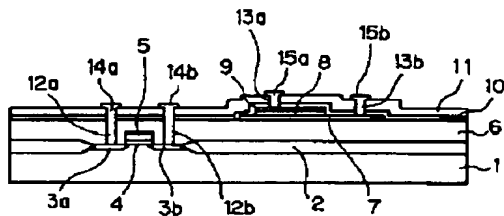
【図 9】従来例 2（特開平 7 - 2 6 3 6 3 7）の構成説明図。

【符号の説明】

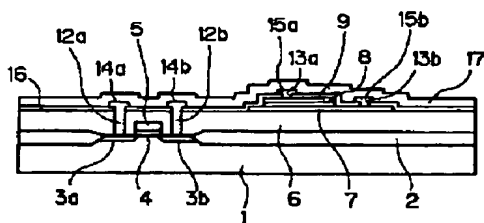
- 1 p 型 S i 基板
- 2 LOCOS 分離絶縁膜
- 3 a, 3 b n + ソース・ドレイン拡散層
- 4 ゲート酸化 S i

- 5 ゲート多結晶 S i 電極
- 6 層間絶縁膜
- 7 容量下部電極 (P t / T i)
- 8 強誘電体 (S r B i , T a , O ,)
- 9 容量上部電極 (P t)
- 10 容量保護膜 (下層、 a : スパッタ酸化 S i , b : S O G)
- 11 容量保護膜 (上層 : オゾン酸化 T E O S 膜)
- 12 a, 12 b トランジスタソース・ドレイン拡散層へのコンタクト孔
- 13 a, 13 b 容量上下電極へのコンタクト孔
- 14 a, 14 b トランジスタソース・ドレインへの金属配線
- 15 a, 15 b 容量上下電極への金属配線
- 16 従来例 1、2 の容量に接して覆う保護膜
- 17、17 a, 17 b 従来例 1、2 で容量保護膜と配線金属層を覆う保護膜

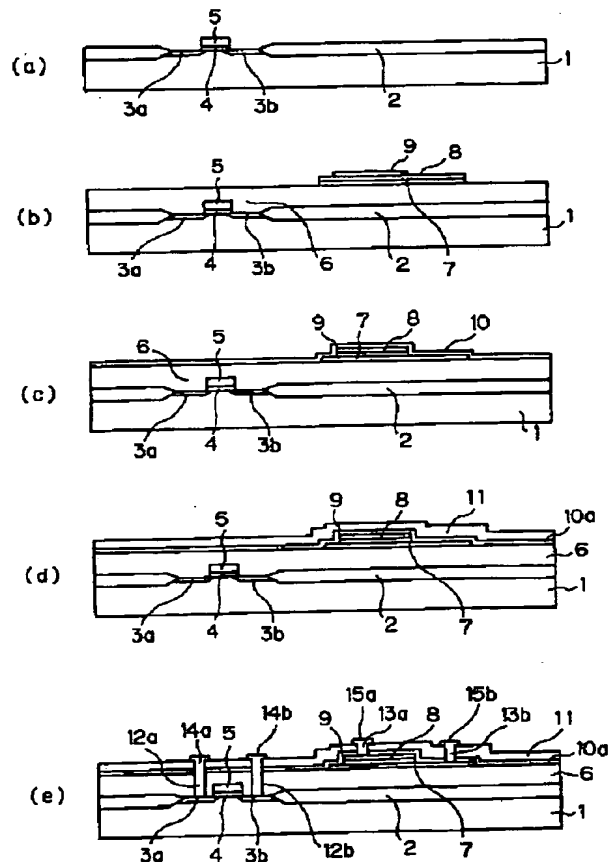
【図 1】



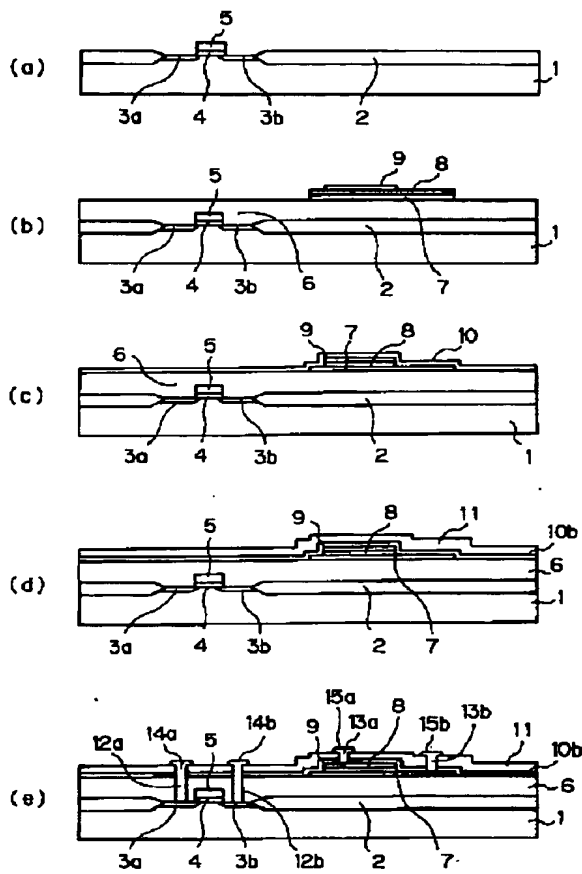
【図 9】



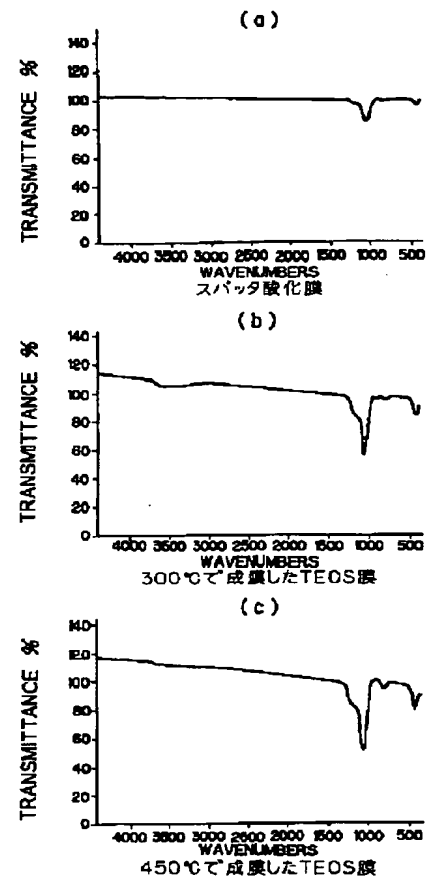
【図 2】



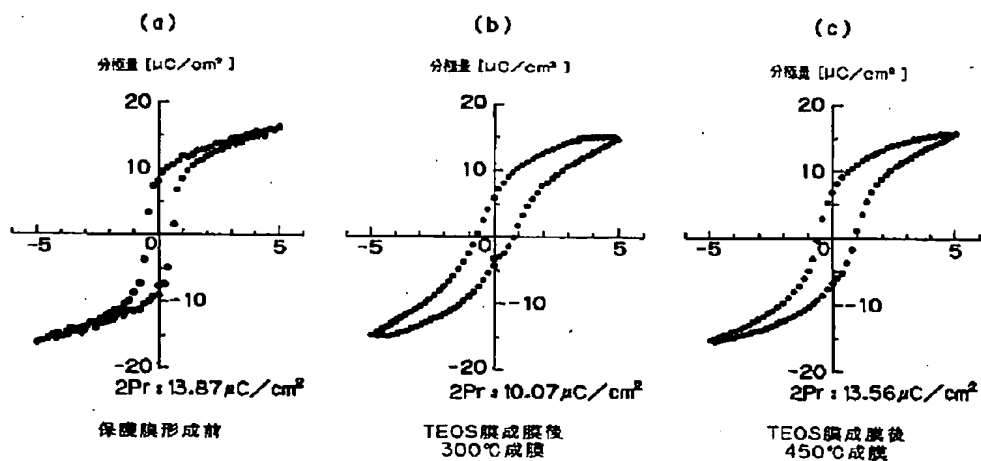
【図 3】



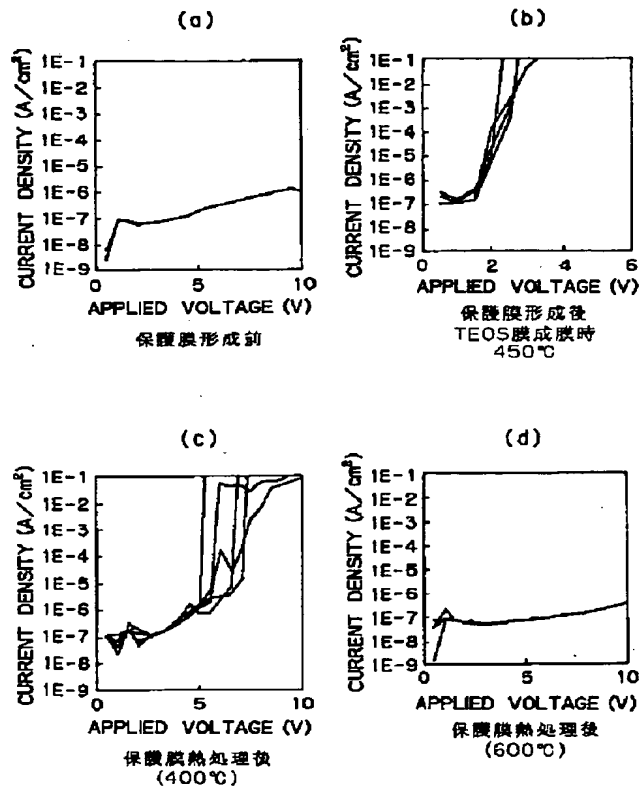
【図 4】



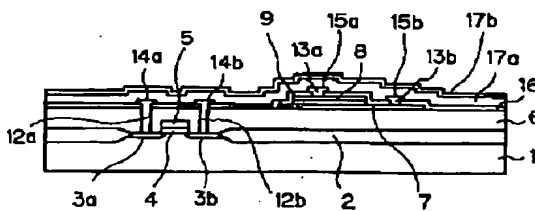
【図 5】



【 図 6 】



【 図 8 】



【 図 7 】

